



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0008343  
Application Number

출 원 년 월 일 : 2003년 02월 10일  
Date of Application FEB 10, 2003

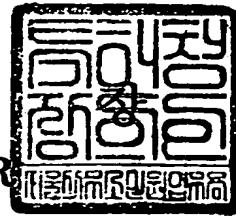
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 26 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.10
【발명의 명칭】	반도체기판에 집적된 자계검출소자 및 그 제조방법
【발명의 영문명칭】	Fluxgate sensor integrated on semiconductor substrate and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2003-002208-1
【발명자】	
【성명의 국문표기】	나경원
【성명의 영문표기】	NA,KYUNG WON
【주민등록번호】	651215-1336936
【우편번호】	449-845
【주소】	경기도 용인시 수지읍 죽전리 현대1차아파트 101-201
【국적】	KR
【발명자】	
【성명의 국문표기】	최상언
【성명의 영문표기】	CHOI,SANG ON
【주민등록번호】	660606-1783411
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 주공아파트 904동 1804호
【국적】	KR
【발명자】	
【성명의 국문표기】	심동식
【성명의 영문표기】	SHIM,DONG SIK
【주민등록번호】	730202-1769911

【우편번호】 143-868  
【주소】 서울특별시 광진구 자양2동 637-25번지 101호  
【국적】 KR  
【발명자】  
【성명의 국문표기】 박해석  
【성명의 영문표기】 PARK, HAE SEOK  
【주민등록번호】 710319-1019026  
【우편번호】 152-090  
【주소】 서울특별시 구로구 개봉동 476 한마을아파트 115-2503  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사를 청구합니다. 대리인  
정홍식 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 2 면 2,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 12 항 493,000 원  
【합계】 524,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 저소비전력으로 측정감도가 높으면서, 초소형으로 값싸게 제조할 수 있는 반도체기판에 집적된 자계검출소자 및 그 제조방법에 관한 것이다. 본 발명에 의한 반도체기판에 집적된 자계검출소자는, 반도체기판에 폐자로를 구성하도록 형성된 연자성 코어와; 연자성코어를 권선한 형태의 금속막으로 형성된 자계검출코일; 및 연자성코어에 직접 전류를 흘려 연자성코어를 여자시키는 드라이브 라인;을 포함한다. 이때, 드라이브 라인은 자계검출코일과 직각을 이루도록 형성되고, 연자성코어의 길이방향의 양단에 연결된다.

**【대표도】**

도 1

**【색인어】**

자계검출소자, 연자성코어, 드라이브라인, 자계검출코일

**【명세서】****【발명의 명칭】**

반도체기판에 집적된 자계검출소자 및 그 제조방법{Fluxgate sensor integrated on semiconductor substrate and method for manufacturing the same}

**【도면의 간단한 설명】**

도 1은 본 발명에 의한 반도체기판에 집적된 자계검출소자의 일실시예를 나타내 보인 평면도,

도 2는 본 발명에 의한 반도체기판에 집적된 자계검출소자의 구조를 나타내 보인 단면도,

도 3은 도 2의 자계검출소자에서 여자전류에 의해 연자성코어에 발생하는 자계를 설명하기 위한 설명도,

도 4a 내지 도 4k는 도 1에 나타내 보인 자계검출소자를 반도체기판 상에 제조하는 공정을 설명하기 위하여 도 1의 I-I'선 및 II-II'선을 따라 절단된 단면을 나타내 보인 단면도이다.

**\*도면의 주요부분에 대한 부호의 설명\***

10; 반도체기판      11; 산화막

21,25; 도전막      22; 하부 자계검출코일

23,34; 포토레지스트      26; 상부 자계검출코일

30; 제1절연막      32; 제2절연막



1020030008343

출력 일자: 2003/5/27

40; 연자성코어 42; 여자자계

50; 연자성코어 단자 60; 보호막

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 자계를 검출하는 소자에 관한 것으로서, 보다 상세하게는 반도체기판에 집적된 자계검출소자 및 그 제조방법에 관한 것이다.
- <13> 자계검출소자는 눈이나 귀와 같은 사람의 감각기관으로 직접 느낄 수는 없지만 다양한 물리적 현상을 통해 그 존재가 입증된 자기에너지를 사람이 간접적으로 인식할 수 있도록 구현한 장치이다. 이러한 자계검출소자로서 연자성체와 코일을 이용한 자기센서가 오래 전부터 이용되어 왔다. 종래의 자기센서는 비교적 큰 봉형의 코어 또는 연자성리본으로 형성된 환형 코어에 코일을 감아 구현한다. 또한, 측정된 자계에 비례하는 자계를 사람이 인식할 수 있도록 나타내기 위해 전자회로가 이용된다.
- <14> 그러나, 종래의 자계검출소자는 큰 봉형의 코어 또는 연자성 리본에 의한 링형의 코어에 코일이 권선되어 있기 때문에 제작비가 고가이며, 자계검출소자의 부피가 커지는 문제점이 있었다.
- <15> 또한, 여자코일에 의해 발생하는 자속변화 및 검출자계는 코어에 의한 자속누설을 피할 수 없기 때문에 고감도의 자계검출이 곤란하다는 문제점이 있었다.



1020030008343

출력 일자: 2003/5/27

<16> 따라서, 상기와 같은 문제점을 해결하기 위해 자계측정을 보다 정밀하게 할 수 있으며, 초소형으로 제작가능하면서도 제조비용이 저렴한 자계검출소자에 대한 발명의 필요성이 제기되어 왔다.

#### 【발명이 이루고자 하는 기술적 과제】

<17> 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로서, 정밀하게 자계를 측정할 수 있으며, 초소형으로 제작가능하면서도 제조비용이 저렴한 반도체기판에 접적된 자계검출소자를 제공하는데 그 목적이 있다.

<18> 본 발명의 또 다른 목적은, 정밀하게 자계를 측정할 수 있으며, 초소형으로 제작가능하면서도 제조비용이 저렴한 반도체기판에 접적된 자계검출소자의 제조방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<19> 상기와 같은 본 발명의 목적은, 반도체기판에 페자로를 구성하도록 형성된 연자성 코어와; 연자성코어를 권선한 형태의 금속막으로 형성된 자계검출코일; 및 연자성코어에 직접 전류를 흘려 연자성코어를 여자시키는 드라이브 라인;을 포함하는 것을 특징으로 하는 반도체기판에 접적된 자계검출소자를 제공함으로써 달성된다.

<20> 이때, 드라이브 라인은 자계검출코일과 직각을 이루도록 형성되고, 연자성코어의 길이방향의 양단에 연결된 것을 특징으로 하며, 연자성코어는 길이방향이 자계검출축 방향이 되도록 형성된 것이 바람직하다.

<21> 또한, 자계검출코일은 솔레노이드 형태로 권선된 것이 바람직하다.

<22> 본 발명의 또 다른 측면에 의하면, 상기와 같은 본 발명의 목적은, 반도체기판 상면에 자계검출코일의 하부에 대응하는 패턴을 형성하고, 패턴에 금속을 1차 투입하여 자계검출코일의 하부를 형성하는 단계; 금속이 1차 투입된 반도체기판 상부로 제1절연막을 형성하는 단계; 절연막 상부에 연자성체막을 적층하고 패턴 형성과 에칭을 통해 연자성 코어를 형성하는 단계; 연자성코어가 형성된 반도체기판 상부로 제2절연막을 형성하는 단계; 제2절연막에 자계검출코일의 하부를 형성하는 1차 금속에 연통되는 관통홀과 연자성코어에 연통되는 관통홀을 각각 형성하는 단계; 제2절연막의 상부에 자계검출코일의 상부와 연자성코어 단자에 대응하는 패턴을 형성한 후, 그 패턴에 금속을 2차로 투입하여 자계검출코일의 상부와 연자성코어 단자를 형성하는 단계; 금속이 2차로 투입된 반도체기판 상부에 보호층을 형성하는 단계; 및 상기 자계검출코일과 연자성코어 단자에 전원을 연결할 수 있도록 상기 보호층을 여는 단계;를 포함하는 것을 특징으로 하는 반도체기판에 접적된 자계검출소자의 제조방법을 제공함으로써 달성된다.

<23> 여기서, 자계검출코일의 하부를 형성하는 단계는, 반도체기판 상면에 산화막을 형성하는 단계; 산화막 상부에 도전막을 형성하는 단계; 도전막 상부에 포토레지스트를 도포하는 단계; 포토레지스트에 노광 및 현상과정을 통해 자계검출코일의 하부에 대응하는 패턴을 형성하는 단계; 패턴된 영역에 금속이 채워지도록 반도체기판 상부에 금속을 1차로 투입하는 단계; 및 패턴을 이룬 잔류 포토레지스트 및 잔류 포토레지스트의 하부에 해당하는 도전막을 제거하는 단계;를 포함하는 것을 특징으로 한다.

<24> 또한, 연자성코아를 형성하는 단계는, 제1절연막의 상부에 금속막을 형성하는 단계; 금속막 상부에 포토레지스트를 도포하는 단계; 포토레지스트에 노광 및 현상과정을 이용하여 연자성코아에 대응하는 패턴을 형성하는 단계; 패턴된 영역외의 상기 금속막을

제거하는 단계; 및 패턴을 이룬 잔류 포토레지스트를 제거하는 단계;를 포함하는 것을 특징으로 한다.

<25> 그리고, 자계검출코일의 상부를 형성하는 단계는, 관통홀이 형성된 제2절연막 상부에 도전막을 형성하는 단계; 도전막의 상부에 포토레지스트를 도포하는 단계; 포토레지스트에 노광 및 현상과정을 이용하여 자계검출코일의 상부에 대응하는 패턴을 형성하는 단계; 패턴된 영역에 금속이 채워지도록 금속을 2차로 투입하는 단계; 및 패턴을 이룬 잔류 포토레지스트 및 잔류 포토레지스트의 하부에 있는 도전막을 제거하는 단계;를 포함하는 것을 특징으로 한다.

<26> 여기서, 연자성코어 단자는 연자성코어의 길이방향의 양단에 형성되는 것이 바람직하다.

<27> 이하, 첨부된 도면을 참조하여 본 발명에 의한 반도체기판에 집적된 자계검출소자 및 그 제조방법에 대하여 상세하게 설명한다.

<28> 도 1은 본 발명의 일실시예에 의한 반도체기판에 집적된 자계검출소자를 나타내 보인 평면도이다. 도면을 참조하면, 자계검출소자는 직사각형의 바 형태의 연자성코어(40)와, 연자성코어(40)를 솔레노이드 형태로 권선하고 있는 자계검출코일(20), 및 연자성코어(40)의 양단에 연결된 드라이브 라인(50)을 포함한다. 본 발명에 의한 자계검출소자는 연자성코어(40)를 자화시키기 위하여 별도의 코일을 사용하지 않고, 드라이브 라인(50)을 통해 연자성코어(40)에 직접 전류를 흘림으로써 발생하는 여자자계를 이용하여 외부자계를 검출한다. 즉, 종래의 자계

검출소자와는 달리 여자자계를 발생시키기 위한 여자코일을 사용하지 않는다. 도 1의 20a는 자계검출코일(20)을 외부의 전자회로(미도시)와 연결하기 위한 코일패드부이고, 50a는 연자성코어(40)에 전류를 흘리는 드라이브 라인(50)에 외부전원(미도시)을 연결하기 위한 전원패드부이다,

<29> 상기와 같은 반도체기판에 집적된 자계검출소자의 단면구조가 도 2에 도시되어 있다. 도면을 참조하면, 반도체기판(10) 상에 절연막(11)이 형성되고, 절연막(11)의 상부에는 자계검출코일의 하부(22)가 형성되어 있다. 하부 자계검출코일(22)의 상부에는 연자성코어(40)가 형성되어 있고, 연자성코어(40)의 상부에는 자계검출코일의 상부(24)가 형성되어 있다. 이때, 도면상에는 도시되어 있지 않지만 하부 자계검출코일(22)과 상부 자계검출코일(24)은 연자성코어(40)를 솔레노이드 형태로 감싸는 하나의 코일이 되도록 서로 연통되어 있다. 연자성코어(40)는 절연물질(30)에 둘러싸여 있어 자계검출코일(20)과 절연되어 있다. 또한, 연자성코어(40)의 양단에는 연자성코어(40)에 여자전류를 흘리는 드라이브 라인(50)이 연결되어 있다. 이때, 드라이브 라인(50)은 자계검출코일(20)을 구성하는 각각의 코일선에 대해 직각으로 배열되어 있다.

<30> 상기와 같이 구성된 반도체기판에 집적된 자계검출소자의 동작을 설명하면 다음과 같다.

<31> 드라이브 라인(50)을 통해 전류를 인가하면, 연자성코어(40)의 내부에 도 3과 같은 여자자계(42)가 발생한다. 이와 같은 여자자계(42)로 인해 연자성코어(40)가 자화되는데 두께 방향으로는 반자계가 강해 자화가 거의 되지 않으며, 연자성코

어(40)의 표면과 바닥쪽에서만 여자자계(42)의 방향으로 자화된다. 이러한 자화방향은 솔레노이드 형태로 연자성코어(40)에 감긴 자계검출코일(20)의 각각의 코일선 방향과 평행한 형태를 이루게 된다. 이때, 연자성코어(40)에서 여자자계(42)에 의해 발생하는 자화는 드라이브 라인(50)으로 흐르는 여자전류의 크기 및 파형에 따라 변하는데, 본 실시 예에서는 연자성코어(40)가 자화되는 방향이 자계검출코일(20)의 권선방향과 평행하기 때문에 여자전류의 변화에 따른 유도파형의 변화가 자계검출코일(20)에 나타나지 않게 된다. 따라서, 측정하려는 외부자계가 영(zero)일 때, 자계검출코일(20)에는 유도파형이 나타나지 않게 된다.

<32> 이러한 상태에서 연자성코어(40)의 길이방향으로 외부자계가 작용하면 자계검출코일(20)에 전압이 유도되기 때문에 이 전압을 외부의 전자회로에 연결하면 외부자계를 검출할 수 있게 된다.

<33> 이와 같은 구조를 갖는 자계검출소자는 연자성코어를 자화시키기 위한 여자코일이 따로 필요하지 않으므로 자계검출코일과 여자코일을 번갈아 가면서 권선하는 일반적인 자계검출소자에 비해 코일선 사이의 간격을 반으로 줄일 수 있다는 이점이 있다. 또한, 연자성코어가 여자코일의 역할을 하므로 연자성코어의 형태 및 두께 조절을 통해 저항을 자유자재로 변화시킬 수 있다는 장점도 있다. 이와 같은 특성을 통해 연자성코어의 저항을 현저하게 줄이면 소비전력도 줄일 수 있다. 따라서, 본 발명에 의하면 여자코일에 해당하는 연자성코어의 저항을 극소로 할 수 있고, 자계검출코일의 간격을 현재의 집접회로(IC)의 선폭가공 수준으로 줄일 수 있으므로 출력 및 감도가 크게 증가된 자계검출소자를 제공할 수 있다.

<34> 도 4a 내지 도 4k는 반도체기판 상에 자계검출소자를 제조하는 공정을 나타낸 단면 도로서, 도 1의 자계검출소자의 I-I'선 및 II-II'선을 따라 절단된 단면의 상태를 나타내 보이고 있다. 도 4a 내지 도 4k의 도면에서 좌측은 I-I'선을 따라 절단한 단면의 상태이고, 우측은 II-II'선을 따라 절단한 단면의 상태이다.

<35> 이하, 첨부된 도면을 참조하여 반도체기판에 집적된 자계검출소자의 제조공정을 설명한다.

<36> 먼저, 반도체기판(10) 상면에 자계검출코일의 하부(22)에 대응하는 패턴을 형성하고, 상기 패턴에 금속을 1차 투입하여 자계검출코일의 하부(22)를 형성한다. 이와 같은 자계검출코일의 하부(22)를 형성하는 공정의 일실시예를 상세하게 설명하면 다음과 같다

<37> 반도체기판(10) 상에 절연을 위한 산화막(11)을 형성하고 산화막(11)의 상부에 도전막(21)을 형성한다. 도전막(21)은 후에 전해도금에 의해 도금을 하는 경우 전류가 흐르도록 하는 역할을 한다(도 4a 참조). 이때, 도전막을 형성하기 위해 사용되는 재료는 일반적인 반도체 제조공정에서 사용되는 크롬(Cr)이나 금(Au)등이 사용될 수 있다.

<38> 도전막(21) 상부에 자계검출코일의 하부(22)를 형성할 수 있도록 포토레지스트(23)를 도포하고, 노광과 현상과정을 통해 하부 자계검출코일의 패턴을 형성한다(도 4b 참조).

<39> 그후, 하부 자계검출코일의 패턴의 요(凹)부(24)에 금속을 1차로 투입하여 자계검출코일의 하부(22)를 형성한다(도 4c 참조). 이때, 하부 자계검출코일의 패턴에 금속을 채우는 것은 전해도금을 이용하는 것이 바람직하다. 그러면, 패턴의 요부(24)로 노출된

도전막(21)에 금속이 적층되어 하부 자계검출코일(22)을 이루게 된다. 하부 자계검출코일(22)의 형성이 완료되면, 패턴을 형성했던 포토레지스트(23)를 제거하고, 각 코일선이 서로 절연되도록 포토레지스트의 하부에 위치하는 도전막을 제거한다(도 4d 참조).

<40> 이어서, 하부 자계검출코일(22)이 형성된 반도체기판 상면에 제1절연막(30)을 형성한다(도 4e 참조).

<41> 그리고, 제1절연막(30) 상부에 연자성체막을 적층하고 패턴 형성과 에칭을 통해 연자성코어(40)를 형성한다. 이와 같은 연자성코어(40)를 형성하는 공정을 보다 상세하게 설명하면 다음과 같다.

<42> 먼저, 제1절연막(30)의 상부에 연자성체막을 형성하고, 연자성체막 상부에 포토레지스트를 도포한다. 이어서, 포토레지스트에 노광 및 현상과정을 이용하여 연자성코어(40)에 대응하는 패턴을 형성한다. 그후, 에칭등을 통해 패턴된 영역외의 연자성체막을 제거하여 연자성코어(40)를 형성하고, 연자성코어(40)의 패턴을 이루었던 잔류 포토레지스트를 제거한다(도 4f 참조).

<43> 연자성코어(40)가 형성된 반도체기판(10) 상면에 제2절연막(32)을 형성한 후, 하부 자계검출코일(22)을 형성하는 1차 금속과 연통되는 관통홀(29)을 형성한다. 이때, 연자성코어(40)의 길이방향의 양단 부근에도 연자성코어(40)에 연결되는 관통홀(42)을 형성한다(도 4g 참조).

<44> 이어서, 제2절연막(32)의 상부에 자계검출코일의 상부(26)에 대응하는 패턴을 형성한 후, 그 패턴에 금속을 2차로 투입하여 자계검출코일의 상부(26)를 형성한다. 이와 같

은 상부 자계검출코일(26)을 제조하는 공정의 일실시예를 상세하게 설명하면 다음과 같다.

<45> 먼저, 관통홀(29,42)이 형성된 제2절연막(32) 상부에 도전막(25)을 형성하고, 도전막(25)의 상부에 포토레지스트(34)를 도포한다. 이어서, 포토레지스트(34)에 노광 및 현상과정을 이용하여 자계검출코일의 상부(26)와 연자성코어 단자(50)에 대응하는 패턴을 형성한다(도 4h 참조).

<46> 이어서, 상부 자계검출코일과 연자성코어 단자의 패턴의 요부(27,42)에 금속이 채워지도록 금속을 2차로 투입하여 자계검출코일의 상부(26)와 연자성코어 단자(50)를 형성한다. 이때, 상부 자계검출코일(26)과 연자성코어 단자(50)의 패턴에 금속을 채우는 것은 전해도금을 이용하는 것이 바람직하다. 그러면, 패턴의 요부(27,42)로 노출된 도전막(25)에 금속이 적층되어 상부 자계검출코일(26)과 연자성코어의 단자(50)를 이루게 된다. 상부 자계검출코일(26)과 연자성코어 단자(50)의 형성이 완료되면, 패턴을 형성했던 포토레지스트(34)를 제거하고, 상부 자계검출코일(26)의 각 코일선과 연자성코어의 단자(50)가 서로 절연되도록 포토레지스트(34)의 하부에 위치하는 도전막(25)을 제거한다.

<47> 이후에 상부 자계검출코일(26)이 형성된 반도체기판(10) 상부에 보호막(60)을 도포하고, 보호막(60)에 연자성코어 단자(50)에 연결되는 관통홀(61)과 자계검출코일(20)에 연통되는 관통홀을 형성하면 자계검출소자의 제조가 완료된다.

<48> 이상에서 설명한 바와 같이 본 발명에 의한 자계검출소자는 연자성코어를 여자코일로 사용하기 때문에 자계검출코일을 현재의 집접회로의 선폭을 형성할 수 있는 간격 정도로 밀접하게 형성할 수 있으므로 자계를 검출하는 감도(sensitivity)를 높일 수 있다.

또한, 연자성코어의 형태 및 두께를 조절하여 연자성코어의 저항을 감소시킬 수 있으므로 소비전력이 적은 자계검출소자를 제공할 수 있다. 또한, 감도를 높이고 소비전력을 줄이기 위하여 자계검출코일의 단면비(aspect ratio)를 크게 할 필요가 없으므로 제조공정도 용이하게 되고, 반도체 제조공정을 이용하여 대량으로 제조가 가능하므로 제조비를 낮출 수 있다.

### 【발명의 효과】

- <49> 상기에서 설명한 바와 같이 본 발명에 의한 반도체기판에 집적된 자계검출소자에 의하면, 소비전력이 적으면서도 정확하게 자계를 측정할 수 있다. 또한, 본 발명에 의하면, 초소형이면서도 제조비용이 저렴한 자계검출소자를 제공할 수 있다.
- <50> 또한, 본 발명에 의한 반도체기판에 집적된 자계검출소자의 제조방법에 의하면, 정확하게 자계를 측정할 수 있고, 초소형으로 제조가능하며, 제작비가 저렴한 자계검출소자를 제공할 수 있다.
- <51> 본 발명은 상술한 특정의 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 범위 내에 있게 된다.

**【특허청구범위】****【청구항 1】**

반도체기판에 폐자로를 구성하도록 형성된 연자성코어;

상기 연자성코어를 권선한 형태의 금속막으로 형성된 자계검출코일; 및

상기 연자성코어에 직접 전류를 흘려 상기 연자성코어를 여자시키는 드라이브 라인  
;을 포함하는 것을 특징으로 하는 반도체기판에 집적된 자계검출소자.

**【청구항 2】**

제 1 항에 있어서, 상기 드라이브 라인은 상기 자계검출코일과 직각을 이루도록 형  
성된 것을 특징으로 하는 반도체기판에 집적된 자계검출소자.

**【청구항 3】**

제 2 항에 있어서, 상기 드라이브 라인은 상기 연자성코어의 길이방향의 양단에 연  
결된 것을 특징으로 하는 반도체기판에 집적된 자계검출소자.

**【청구항 4】**

제 3 항에 있어서, 상기 연자성코어는 길이방향이 자계검출축 방향으로 형성된 것  
을 특징으로 하는 반도체기판에 집적된 자계검출소자.

**【청구항 5】**

제 1 항에 있어서, 상기 자계검출코일은 솔레노이드 형태로 권선된 것을 특징으로  
하는 반도체기판에 집적된 자계검출소자.

**【청구항 6】**

반도체기판 상면에 자계검출코일의 하부에 대응하는 패턴을 형성하고, 상기 패턴에 금속을 1차 투입하여 상기 자계검출코일의 하부를 형성하는 단계;

상기 금속이 1차 투입된 상기 반도체기판 상부로 제1절연막을 형성하는 단계;

상기 제1절연막 상부에 연자성체막을 적층하고 패턴 형성과 에칭을 통해 연자성코어를 형성하는 단계;

상기 연자성코어가 형성된 상기 반도체기판 상부로 제2절연막을 형성하는 단계;

상기 제2절연막에 상기 자계검출코일의 하부를 형성하는 1차 금속에 연통되는 관통홀과 상기 연자성코어에 연통되는 관통홀을 각각 형성하는 단계;

상기 제2절연막의 상부에 상기 자계검출코일의 상부에 대응하는 패턴을 형성한 후, 그 패턴에 금속을 2차로 투입하여 상기 자계검출코일의 상부를 형성하는 단계; 및

상기 금속이 2차로 투입된 상기 반도체기판 상부에 보호막을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체기판에 접적된 자계검출소자의 제조방법.

**【청구항 7】**

제 6 항에 있어서, 상기 자계검출코일의 하부를 형성하는 단계는,

상기 반도체기판 상면에 산화막을 형성하는 단계;

상기 산화막 상부에 도전막을 형성하는 단계;

상기 도전막 상부에 포토레지스트를 도포하는 단계;

상기 포토레지스트에 노광 및 현상과정을 통해 상기 자계검출코일의 하부에 대응하는 패턴을 형성하는 단계;

상기 패턴된 영역에 금속이 채워지도록 상기 반도체기판 상부에 금속을 1차로 투입하는 단계; 및

상기 패턴을 이룬 잔류 포토레지스트 및 상기 잔류 포토레지스트의 하부에 해당하는 도전막을 제거하는 단계;를 포함하는 것을 특징으로 하는 반도체기판에 접적된 자계검출소자의 제조방법.

#### 【청구항 8】

제 6 항에 있어서, 상기 연자성코어를 형성하는 단계는,  
상기 제1절연막의 상부에 연자성체막을 형성하는 단계;  
상기 연자성체막 상부에 포토레지스트를 도포하는 단계;  
상기 포토레지스트에 노광 및 현상과정을 이용하여 상기 연자성코어에 대응하는 패턴을 형성하는 단계;

상기 패턴된 영역외의 상기 연자성체막을 제거하는 단계; 및  
상기 패턴을 이룬 잔류 포토레지스트를 제거하는 단계;를 포함하는 것을 특징으로 하는 반도체기판에 접적된 자계검출소자의 제조방법,

#### 【청구항 9】

제 6 항에 있어서, 상기 자계검출코일의 상부를 형성하는 단계는,  
상기 관통홀이 형성된 상기 제2절연막 상부에 도전막을 형성하는 단계;  
상기 도전막의 상부에 포토레지스트를 도포하는 단계;  
상기 포토레지스트에 노광 및 현상과정을 이용하여 상기 자계검출코일의 상부에 대응하는 패턴을 형성하는 단계;

상기 패턴된 영역에 금속이 채워지도록 금속을 2차로 투입하는 단계; 및  
상기 패턴을 이룬 잔류 포토레지스트 및 상기 잔류 포토레지스트의 하부에 있는 도  
전막을 제거하는 단계;를 포함하는 것을 특징으로 하는 반도체기판에 집적된 자계검출소  
자의 제조방법.

#### 【청구항 10】

제 6 항에 있어서, 상기 연자성코어에 연통된 관통홀은 상기 연자성코어의 길이방  
향의 양단에 형성된 것을 특징으로 하는 반도체기판에 집적된 자계검출소자의 제조방법.

#### 【청구항 11】

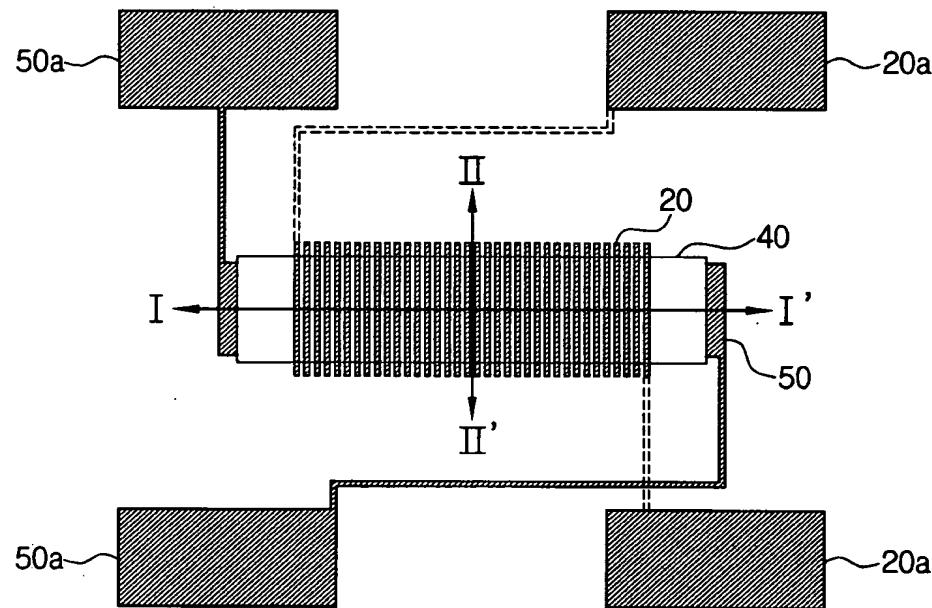
제 10 항에 있어서, 상기 연자성코어는 길이방향이 자계검출축 방향으로 형성된 것  
을 특징으로 하는 반도체기판에 집적된 자계검출소자의 제조방법.

#### 【청구항 12】

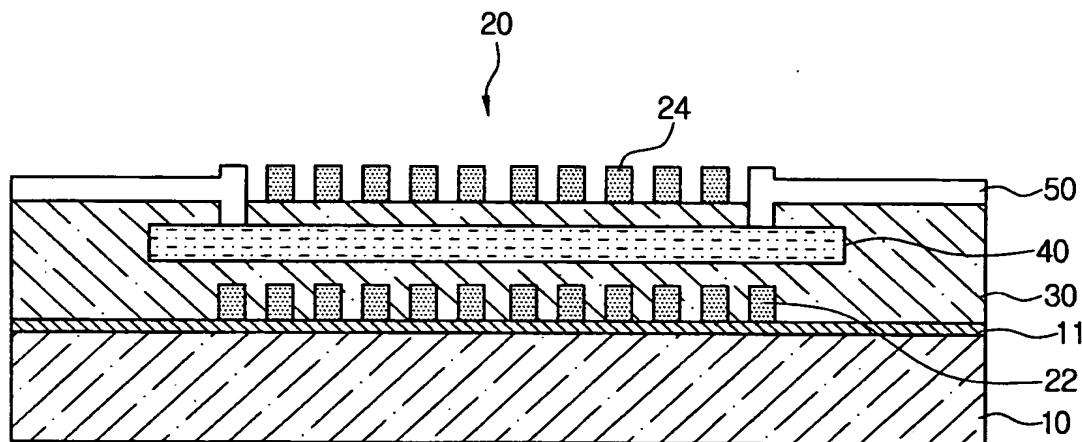
제 6 항에 있어서, 상기 자계검출코일은 솔레노이드 형태로 권선된 것을 특징으로  
하는 반도체기판에 집적된 자계검출소자의 제조방법.

## 【도면】

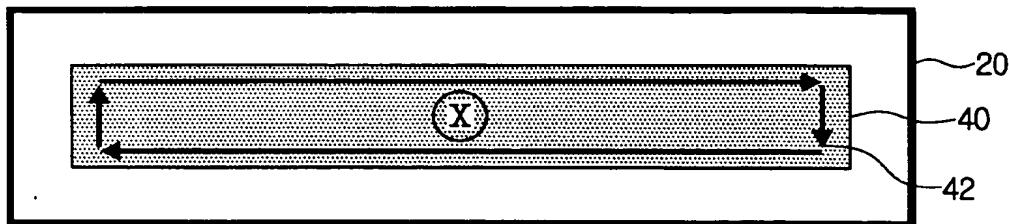
【도 1】



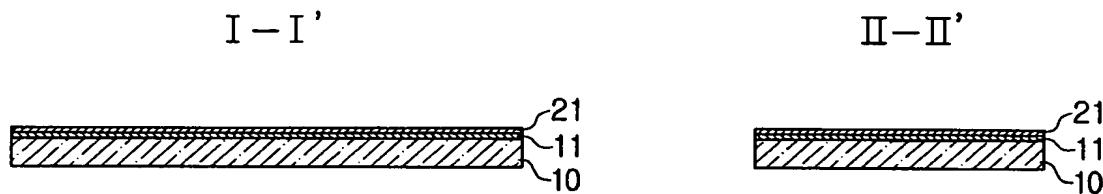
【도 2】



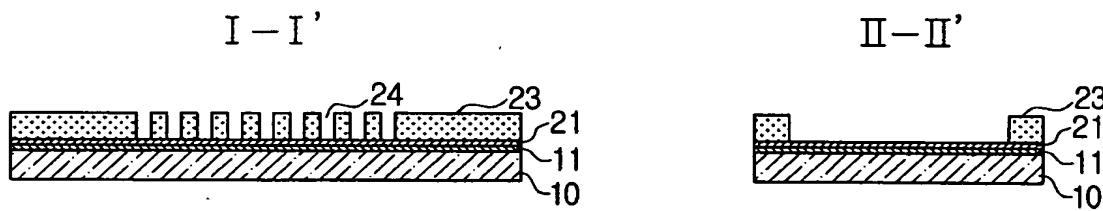
【도 3】



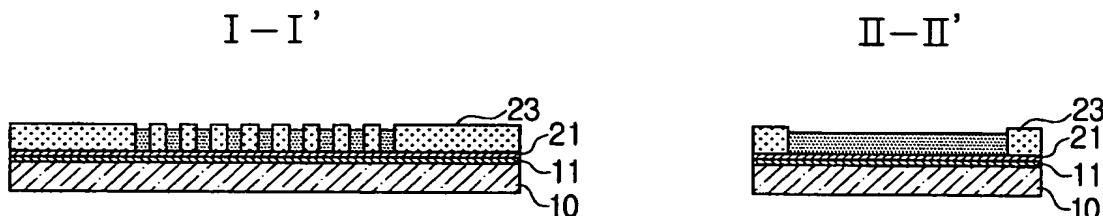
【도 4a】



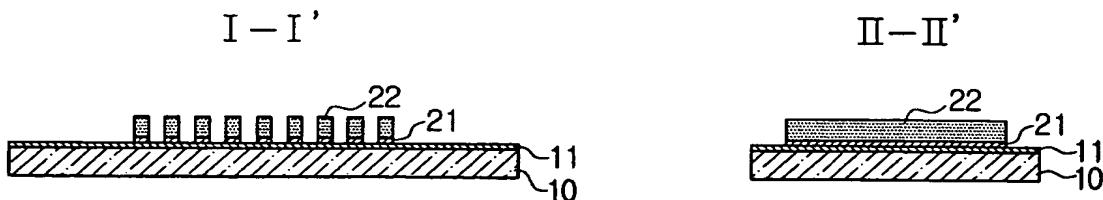
【도 4b】



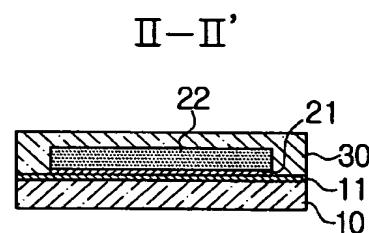
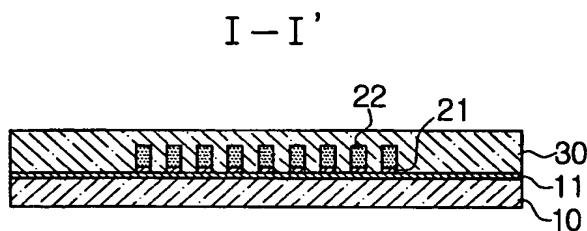
【도 4c】



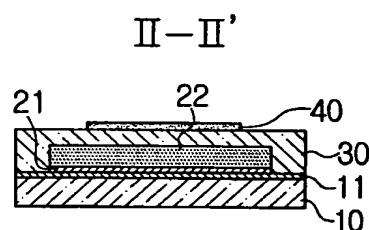
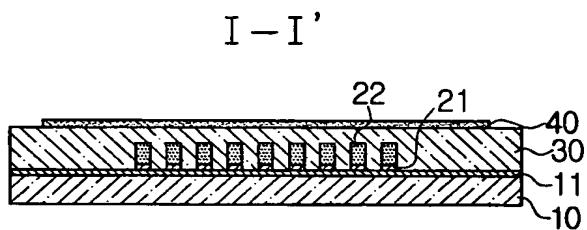
【도 4d】



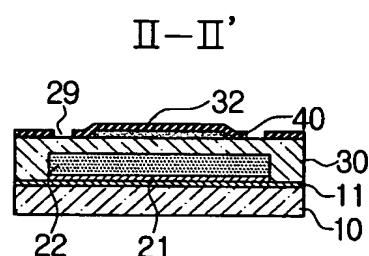
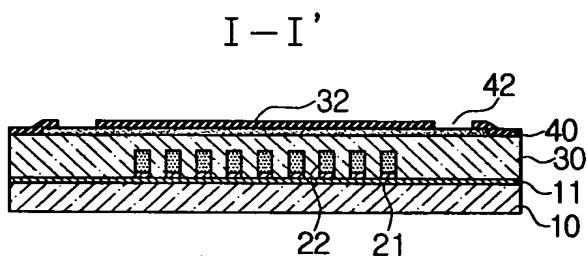
【도 4e】



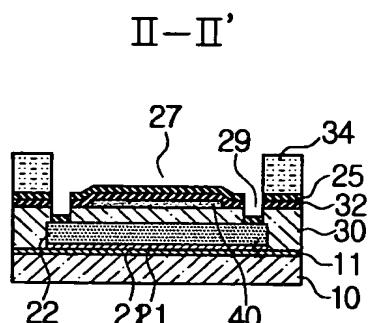
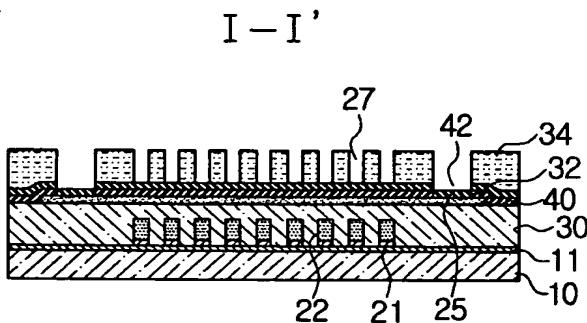
【도 4f】



【도 4g】



【도 4h】



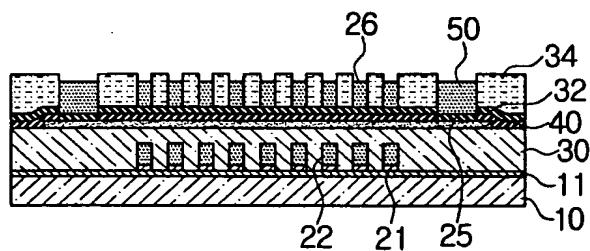


1020030008343

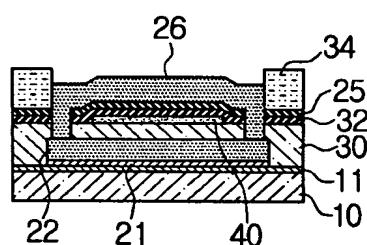
출력 일자: 2003/5/27

【도 4i】

I - I'

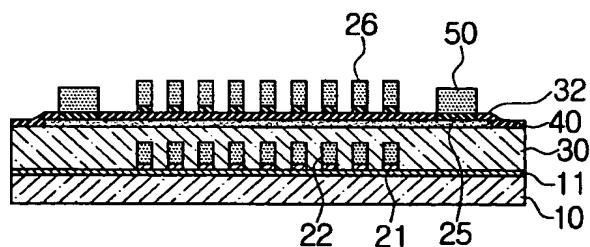


II - II'

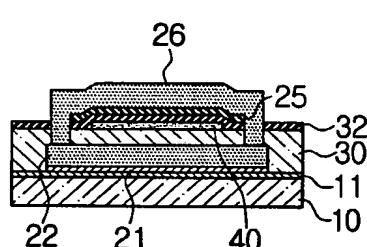


【도 4j】

I - I'

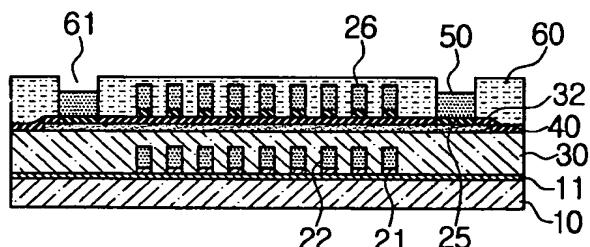


II - II'



【도 4k】

I - I'



II - II'

